



(19)

(11) Publication number:

07239865 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 06027942

(51) Intl. Cl.: G06F 17/50

(22) Application date: 25.02.94

(30) Priority:

(43) Date of application
publication: 12.09.95(84) Designated
contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: SHONO TOSHIYUKI
TOMITA YASUHIRO
YONEZAWA HIROKAZU

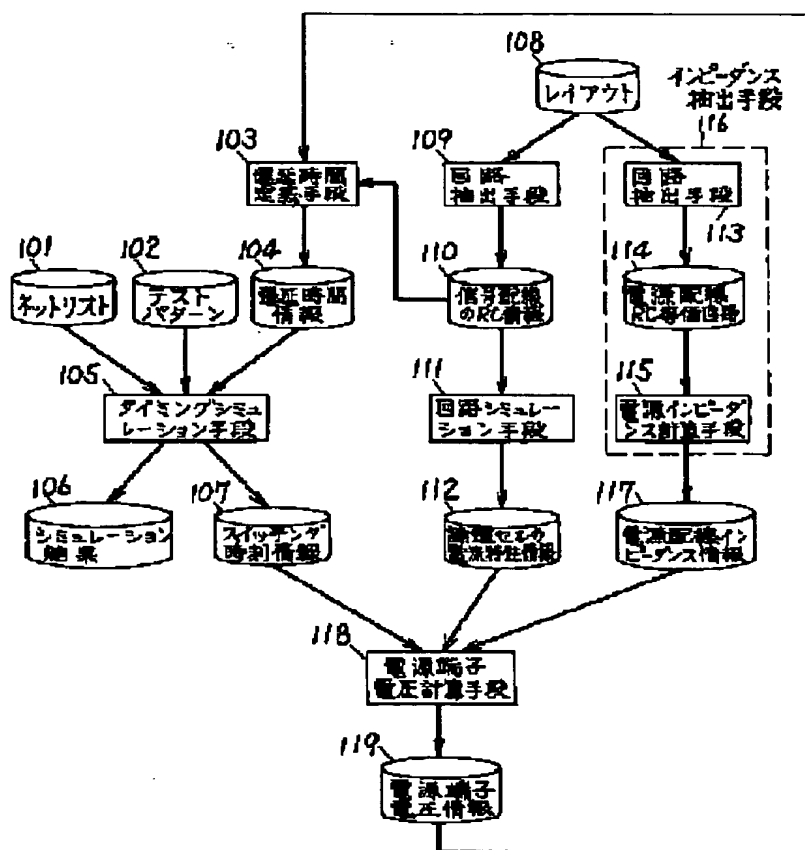
(74) Representative:

(54) LOGIC SIMULATOR

(57) Abstract:

PURPOSE: To improve the accuracy of a logic simulation by deciding the delay time of a logical cell as the function of a power supply terminal voltage and deciding the power supply terminal voltage from the impedance component of power supply wiring of layout, the current characteristic of the logical cell and switching time.

CONSTITUTION: This device is provided with an impedance extracting means 116 for extracting the impedance of power supply wiring from layout 108 and a power supply terminal voltage calculating means 118 for finding the power supply terminal voltage from the switching time, current characteristic and power supply wiring impedance information 117 as the impedance to be allocated to a logical cell power supply terminal is obtained from the layout 108 by the impedance extracting means 116. At the impedance extracting means 116, a power supply wiring RC equivalent circuit 114 replacing power supply wiring with a resistance component and a capacity component is obtained, and the power supply wiring impedance information 117 is obtained from its element value by a power supply impedance calculating means 115.



COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-239865

(43) 公開日 平成7年(1995)9月12日

(51) Int.Cl.⁶

G 0 6 F 17/50

識別記号

庁内整理番号

F I

技術表示箇所

7623-5L

G 0 6 F 15/ 60

3 6 0 D

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21) 出願番号

特願平6-27942

(22) 出願日

平成6年(1994)2月25日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 庄野 敏之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 富田 泰弘

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 米澤 浩和

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

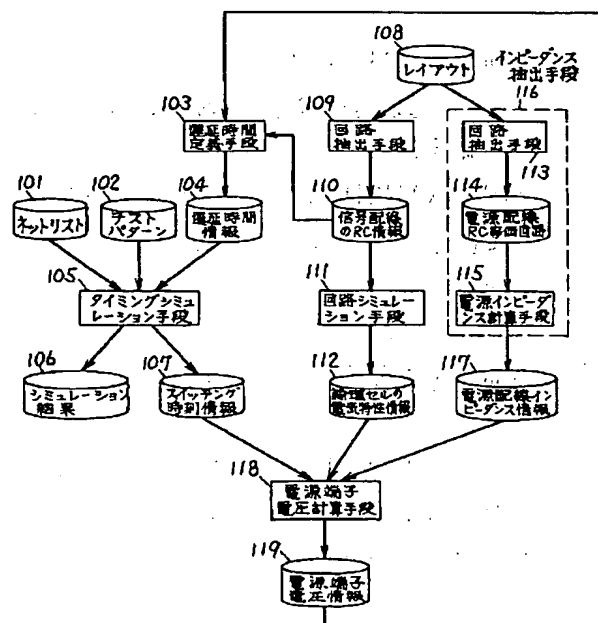
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 論理シミュレータ

(57) 【要約】

【目的】 LSIの論理回路のタイミング検証に用いる論理シミュレータにおいて、論理セルのスイッチング時の電圧変動による遅延時間に対する影響を考慮した精度の高い論理シミュレータを提供する。

【構成】 論理セルの遅延時間を電源端子電圧の関数として決定する遅延時間定義手段103と、レイアウト108から電源配線のインピーダンス値117を求めるインピーダンス抽出手段116と、インピーダンス値117と論理セルのスイッチング時間情報107と論理セルの電流特性112とから電源端子電圧を計算する電源端子電圧計算手段118とを備える。



【特許請求の範囲】

【請求項1】複数の論理セルにより構成される被シミュレーション回路に対して前記遅延時間定義手段より生成される遅延時間情報を用いてタイミングシミュレーションを実行し、前記論理セルのスイッチング時刻を出力するタイミングシミュレーション手段と、

前記被シミュレーション回路のレイアウトから電源配線の等価回路を求めて、前記論理セルの電源端子のインピーダンス成分を計算するインピーダンス抽出手段と、

前記論理セルのスイッチング時刻と前記インピーダンス成分と前記論理セルの電源電圧に対する電流特性を用いて、前記論理ゲートの電源端子の電圧を求める電源端子電圧計算手段と、

論理セルの遅延時間を電源端子電圧の関数として決定する遅延時間定義手段とを備え、レイアウト後に実行するタイミングシミュレーションにおいて前記論理セルの電源端子電圧を、前記遅延時間定義手段に注釈してタイミングシミュレーションを行うことを特徴とする論理シミュレータ。

【請求項2】前記インピーダンス抽出手段は、電源配線のレイアウトをいくつかの論理セルの電源端子に対して共通インピーダンスとなる電源配線セグメントに分割し、電源端子電圧計算手段において前記電源配線セグメント毎に共通の電源端子電圧を計算し、論理セルの電源端子電圧を前記電源配線セグメントで指定することを特徴とする請求項1記載の論理シミュレータ。

【請求項3】前記電源端子電圧計算手段が出力する各論理ゲートの電源端子の電圧が、被シミュレーション回路のテストパターンの実行時刻に対応する時系列データであることを特徴とする請求項2記載の論理シミュレータ。

【請求項4】前記電源端子電圧計算手段が出力する各論理ゲートの電源端子の電圧が、被シミュレーション回路のテストパターンの実行時刻に対する平均値であることを特徴とする請求項2記載の論理シミュレータ。

【請求項5】前記電源端子電圧計算手段が出力する各論理ゲートの電源端子の電圧が、被シミュレーション回路のテストパターンの実行時刻に対する最大値であることを特徴とする請求項2記載の論理シミュレータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はLSIの論理回路のタイミングを高精度に検証する論理シミュレータに関する。

【0002】

【従来の技術】LSIの論理回路設計では、設計段階により繰り返し論理シミュレータによるタイミングシミュレーションを行なう。レイアウトが定まっていない初期段階でのタイミングシミュレーションでは、回路の遅延時間は論理セルの接続関係から仮定に基づいて計算する。レイアウト終了後は、レイアウトの物理形状の情報を遅

延時間計算にフィードバックして精度を上げてタイミングシミュレーションを行なう。後者のタイミングシミュレーションの方法をバックアノテーションという。

【0003】図9はバックアノテーションの方法によってタイミングシミュレーションを行なう従来の論理シミュレータの構成を示す。以下に図9を用いて従来の論理シミュレータの構成を説明する。

【0004】タイミングシミュレーション手段905は、ネットリスト901とテストパターン902と遅延時間情報904を用いてタイミングシミュレーションを実行し、シミュレーション結果906を得る。ここで、シミュレーション結果906は回路の出力端子の論理値や波形等である。回路抽出手段909は、レイアウト908から信号配線のレイアウトの物理形状から配線抵抗および配線容量を回路の各ノードについて求め、信号配線のRC情報910を出力する。遅延時間定義手段903は信号配線のRC情報910を入力にして、遅延時間情報904を出力する。

【0005】次に、遅延時間定義手段903について説明する。各論理セルの遅延時間 T_d は、出力側に接続する信号配線の抵抗、容量から例えば（数1）により計算する。ここで、 C_{in} はセル入力容量、 ΔR は論理セルに依存する係数、 R_w は配線抵抗、 C_w は配線容量である。 T_0 、 ΔR は予め一定の電源電圧で回路シミュレーション（例えばSPICE）を行なって求める。

【0006】

【数1】

$$T_d = T_0 + \Delta R \times C_{in} + R_w \times C_w$$

【0007】以上のように、レイアウト終了後のバックアノテーションの方法による論理シミュレータは、レイアウトから論理セル間の信号配線の物理形状から配線抵抗、配線容量を求めて論理セルの遅延時間計算にフィードバックすることにより遅延時間の精度を上げてタイミングシミュレーションを行う。

【0008】

【発明が解決しようとする課題】バックアノテーションの方法によるタイミングシミュレーションは論理回路の最終検証であり、できるかぎり実際のLSIの動作に近い動作をシミュレートすることが必要である。その為にタイミングシミュレーションで用いる遅延時間の精度を高く保つことが重要である。近年の半導体デバイスの高速化、高集積化に伴い、配線密度が増加しあるいはスイッチング電流が増加することが原因で新たな問題が生じている。高速なデバイスを実現するためには絶対精度の高い遅延時間計算が必要である。高集積化に伴って配線抵抗が増加し、論理セルのスイッチング時の電流による電圧ノイズが大きくなり、電源電圧の時間変動が大きくなる。電源電圧変動の遅延時間への影響が無視できなくなっている。

【0009】また、レイアウト設計では論理セル配置配線を自動化ツールに依ることが多い。自動化ツールは通

常回路の動作率を考慮して行なわないので、配置位置により動作率、電流密度の大小分布が起り、論理セルの電源端子電圧の不均一が生じる。このような状況にもかかわらず、従来のバックアノテーションによる論理シミュレータでは遅延時間計算に一樣で一定な電源端子電圧を仮定しているの、シミュレーション動作と実動作との間の誤差が非常に大きいという問題があった。この問題に対し従来設計では、遅延時間の設計マージンを一律に大きくする、またはレイアウトの電源配線幅を不必要に大きくするなどの対応をとっていた為に、ゲート数やチップ面積のオーバーヘッドが生じるという課題があった。

【0010】従って本発明の目的は、バックアノテーションにおいてレイアウトの電源配線情報及び動作によるスイッチング情報から回路上の論理セルの電源端子電圧を求め、遅延時間計算にフィードバックして遅延時間の計算精度を高めた論理シミュレータを提供することである。

【0011】

【課題を解決するための手段】上記目的を達成するために本発明の論理シミュレータは、論理セルの遅延時間を電源端子電圧の関数として決定する遅延時間定義手段と、電源端子電圧に影響するレイアウトの電源配線のインピーダンスを抽出する手段と、前記インピーダンスと論理セルの電流特性と、論理セルのスイッチング時刻をもとに電源端子電圧を求める手段とを備えたものである。

【0012】

【作用】上記した構成によって、レイアウトの電源配線インピーダンスとスイッチング時刻をもとに論理セルの電源端子電圧を求め、論理セルの遅延時間の定義において電源端子電圧に依存する遅延時間計算方法をとることによって、実際のLSIの動作時に生じる論理セル間の電源端子電圧分布や時間変動の遅延時間に対する効果を正確に反映したタイミングシミュレーションを行なうことができる。

【0013】

【実施例】

(実施例1) 以下本発明の一実施例の論理シミュレータについて、図面を参照しながら説明する。図1は本発明の第1の実施例における論理シミュレータの構成図である。

【0014】本実施例では従来の論理シミュレータの構成に対してレイアウトから電源配線のインピーダンスを抽出するインピーダンス抽出手段116と、論理セルのスイッチング時刻、電流特性、電源端子インピーダンスとから電源端子電圧を求める電源端子電圧計算手段118とを備える点が異なっている。

【0015】タイミングシミュレーション手段105は、ネットリスト101とテストパターン102と遅延時間情報10

4を用いてタイミングシミュレーションを実行し、シミュレーション結果106を得る。

【0016】電源端子電圧計算手段118はスイッチング情報107と論理セルの電流特性情報112と電源配線インピーダンス情報117を入力として電源端子電圧情報119を出力する。

【0017】回路抽出手段109はレイアウト108から信号配線のRC情報110を出力する。遅延時間定義手段103は電源端子電圧情報119と信号配線のRC情報110を入力にして遅延時間情報104を出力する。

【0018】電源配線インピーダンス情報117はレイアウト108からインピーダンス抽出手段116を用いて求められる。

【0019】論理セルの電流特性情報112はレイアウト108から回路抽出手段109を用いて求められた信号配線のRC情報110をもとに回路シミュレーション111を行なって求める。

【0020】スイッチング情報107はタイミングシミュレーション手段105の結果として求められる。

【0021】次に第1の実施例における論理シミュレータの動作について、ステップに分けて説明する。

【0022】(ステップ1) レイアウト108から回路抽出手段109により論理セル間の信号配線の抵抗成分、容量成分で構成される信号配線のRC情報110を求め、遅延時間定義手段103において従来例における論理シミュレータと同様に電源電圧一定を仮定して(数1)により遅延時間情報104を得る。

【0023】(ステップ2) ステップ1で得た遅延時間情報104とネットリスト101とテストパターン102とからタイミングシミュレーション105を行ない、各論理セル毎にシミュレーション時間に対してスイッチングした時刻が記録されたスイッチング時刻情報107を得る。

【0024】(ステップ3) 信号配線のRC情報110をもとにレイアウト上の論理セルについて入力側のRCから入力波形傾き、出力側のRCから出力負荷条件が得られるので、これらの入出力条件をもとに回路シミュレーション(たとえばSPICE)を実行して、論理セルの電流特性情報112を得る。この電流特性情報112に蓄積している電流データは、電源電圧に対して各論理セルがスイッチングするときに流れる電流波形を代表するピーク値である。

【0025】(ステップ4) レイアウト108からインピーダンス抽出手段116によって論理セル電源端子に割り付けるインピーダンスである電源配線インピーダンス情報117を求める。このインピーダンス抽出手段116では、まずレイアウト108から回路抽出手段113により電源配線を抵抗成分、容量成分に置き換えた電源配線RC等価回路114を求め、その素子値から各論理セルの電源端子とレイアウトの電源配線の幹線との間のインピーダンスを求める電源インピーダンス計算手段115により電源配線インピーダンス情報117を求める。

10

20

30

40

50

【0026】ここで、ステップ3とステップ4は予め実行しておくこともできる。

(ステップ5) 論理セルの電流特性情報112と電源配線インピーダンス情報117とから各論理セルがスイッチングする際に変化する電圧の波形を代表する電圧ピーク値を求め、スイッチング時刻情報107を用いて電圧波形を重ねて電源端子電圧情報119を求める。この電源端子電圧情報119と信号配線のRC情報110とをもとに、遅延時間定義手段103において定めた遅延時間計算式によって新たに遅延時間情報104を得る。

【0027】(ステップ6) ステップ5で求めた遅延時間情報104をもとに再度タイミングシミュレーション105を行ないシミュレーション結果106を得る。

【0028】つぎに、遅延時間定義手段103について説明する。本実施例の論理シミュレータでは遅延時間定義手段103で行なう遅延時間計算において信号配線のRC情報110と電源端子電圧情報119とを用いる。即ち、各論理セルの電源端子電圧を可変とし、電源端子電圧依存性を考慮して遅延時間を計算する。例えば、遅延時間 T_d を(数2)により求める。ここで、 C_{in} はセル入力容量、 ΔR はセル固有の係数、 R_w は配線抵抗、 C_w は配線容量、 $F(V_{dd})$ は電源電圧 V_{dd} 依存係数である。

【0029】

【数2】

$$T_d = (T_0 + \Delta R \times C_{in} + R_{in} \times C_w) \times F(V_{dd})$$

【0030】インピーダンス抽出手段116について図2、図3を用いて説明する。図2は本実施例の電源配線の等価回路抽出において、等価回路の単位となる等価回路要素の回路図である。図3は本実施例の電源配線の等価回路抽出の操作を示す概念図である。

【0031】レイアウトの電源配線は一般に図3のレイアウト図301に示すように電源の幹線となる比較的幅広の低インピーダンス配線31から、論理セルの電源となる幅の狭い高インピーダンス配線32に枝分岐する。この高インピーダンス配線部分32を図2に示す等価回路要素を用いてRC等価回路に置き換える。図2の等価回路要素を構成する抵抗、容量はレイアウトの電源配線の例えば単位長あたりの抵抗値、容量値であり、予めデバイスシミュレーション等を行なって求められる。レイアウトの各電源配線の長さに対し、図2の回路を継続接続した回路で置き換える。その結果電源配線RC等価回路114において、レイアウトの電源配線と論理セルとの接続関係が図3の電源配線等価回路図302に示すRC回路網で表される。このRC回路の素子値をもとに各論理セルの電源端子と前記低インピーダンス配線との間のインピーダンス値を求め、論理セルの電源端子に割り付ける電源インピーダンスとして電源配線インピーダンス情報117に蓄積する。

【0032】なお、この電源配線等価回路にインダクタ成分を含む回路を用いると、さらにインピーダンスの計

算精度が高められる。

【0033】本実施例の電源端子電圧計算手段118について図4、図5を用いて説明する。図4はスイッチング電流計算方法を示すグラフである。図5は電源端子電圧計算手段118におけるスイッチング時刻情報、電流波形、電圧波形を重ねて示したグラフである。

【0034】図4の縦軸は論理セルの電流値、横軸は電源端子電圧を示している。図上の曲線は論理セルの電流特性の一例を示している。直線は論理セルの電源端子に割り付けられたインピーダンスの負荷直線である。セルの電源電圧 V_p はこの電流特性曲線と負荷直線との交点P(V_p, I_p)で求められる。グラフの縦軸である電流軸は、論理セルのピーク電流あるいはスイッチング時間を考慮した平均的な電流値を示している。

【0035】スイッチング時刻情報107には各論理セルがどの時刻にスイッチングしたかが記録されている。従って、時間軸上のスイッチング時刻に電圧ピーク値 V_p が表すスイッチング時の電圧波形を重ねることにより、図5に示すように電圧波形を得る。各論理セル毎にこの電圧波形を求めたものが電源端子電圧情報119である。

【0036】以上のように、本実施例の論理シミュレータは、レイアウトの電源配線インピーダンスと論理セルの電流特性とスイッチング時刻をもとに論理セルの電源端子電圧を求め、論理セルの遅延時間の定義において電源端子電圧に依存する計算方法をとることによって、実際のLSIの動作時に生じる論理セル間の電源端子電圧分布や時間変動の遅延時間に対する効果を正確に反映したタイミングシミュレーションを行なうことができる。

【0037】(実施例2) 以下本発明の第2の実施例の論理シミュレータについて説明する。

【0038】第2の実施例の論理シミュレータの基本構成は第1の実施例の構成と同じである。異なる点は、電源配線インピーダンスの抽出方法と電源端子電圧データのデータ構造である。

【0039】本実施例の電源配線インピーダンス抽出方法と電源端子電圧データのデータ構造を、図面を用いて説明する。図6は第2の実施例の電源配線の等価回路抽出方法を示す概念図である。第1の実施例と同様に論理セルの電源となる幅の狭い高インピーダンス配線部分32を図2の等価回路要素を用いて等価回路に置き換える。

【0040】本実施例では、電源配線の1本に互いに近接して配置された論理セル同士をひとつのグループとし、このグループの電源配線をひとつの電源配線セグメント33としてまとめる。ひとつの電源配線セグメント33の内部は等電位であると近似でき、等価回路要素による置き換えをする必要はない。従って、論理セルの電源端子と電源配線の幹線などの低インピーダンス配線31との間のインピーダンス値は、ひとつの電源配線セグメントに属する論理セル間の共通インピーダンス値となる。

【0041】図7は電源端子電圧情報119の配線セグメ

ントレコードの構成を示し、図8は電源端子電圧情報119の論理セルレコードの構成を示す。電源端子電圧は、論理セル単位ではなく図7に示すように配線セグメント単位で管理することができる。

【0042】遅延時間定義手段103において論理セルの遅延時間を計算する際に、まず各論理セルについて図8に示す論理セルの電源配線セグメントデータのレコードから配線セグメントコードを読み取る。つぎに、その配線セグメントコードから図7に示す配線セグメントレコードを通して電源端子電圧を読み取り、遅延時間計算を行なう。

【0043】以上のように構成することにより、実効的な電源端子電圧の精度を保持したまま電源端子電圧情報119の電源端子電圧データのデータ量はセグメント数まで減少し、かつデータ検索時間を短縮することができる。

【0044】（実施例3）以下本発明の第3の実施例の論理シミュレータについて説明する。

【0045】第3の実施例の論理シミュレータの基本構成は、第2の実施例の構成と同じである。異なる点は、電源端子電圧計算手段118で計算する電源端子電圧情報119のデータ形式である。

【0046】電源端子電圧計算手段118において、各論理セルの電源端子電圧は第1の実施例と同様に計算し、図5に示す電圧波形を全シミュレーション時間に対して求めた後、平均または最低値に代表させる。この時間に対する平均電源端子電圧または最低電源端子電圧を用いて、遅延時間定義手段103は遅延時間情報104を求める。

【0047】以上のように構成したことによって、電圧値はシミュレーション時間に対して一定値となり、電源端子電圧情報119のデータ量は大幅に減少し、シミュレーション時間を節約することができる。各セルの電源端子電圧値は電源配線形状による効果と他セルのスイッチングの影響を反映しており、一様な電圧を仮定する従来の論理シミュレータに比べて遅延時間の計算精度は高い。

【0048】また、各セルの電源端子電圧に平均電圧値を用いた場合のタイミングシミュレーションは回路動作の期待値をシミュレートし、平均動作周波数等をシミュレーション結果として得ることができる。最低電圧値を用いた場合のタイミングシミュレーションは回路動作のワーストケースをシミュレートし、シミュレーション結果を電源設計の検証に用いることができる。

*【0049】

【発明の効果】以上のように本発明の論理シミュレータは論理セルの遅延時間を電源端子電圧の関数として決定を行い、レイアウトの電源配線のインピーダンス成分と、論理セルの電流特性と、スイッチング時刻とから電源端子電圧を求めることにより、回路の論理セル毎に、また時間により異なる電源電圧変動の影響を取り入れて計算を行なうことによりタイミングシミュレーション精度が向上するという効果がある。

10 【図面の簡単な説明】

【図1】本発明の第1の実施例における論理シミュレータの構成図

【図2】同実施例におけるレイアウト電源配線等価回路抽出に用いる単位長等価回路要素の回路構成図

【図3】同実施例におけるレイアウト電源配線等価回路抽出の操作を示す概念図

【図4】同実施例におけるスイッチング電流計算方法を示す特性図

20 【図5】同実施例におけるスイッチング時刻、電流波形、電圧波形を示す特性図

【図6】本発明の第2の実施例におけるレイアウト電源配線等価回路抽出の操作を示す概念図

【図7】同実施例における電源配線セグメントレコードの構成を示すレコード構成図

【図8】同実施例における論理セルレコードの構成を示すレコード構成図

【図9】従来の論理シミュレータの構成図

【符号の説明】

103 遅延時間定義手段

30 104 遅延時間情報

105 タイミングシミュレーション手段

106 シミュレーション結果

107 スwitching時刻情報

109, 113 回路抽出手段

110 信号配線のRC情報

111 回路シミュレーション手段

112 論理セルの電流特性情報

114 電源配線RC等価回路

115 電源インピーダンス計算手段

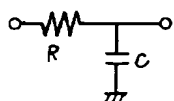
40 116 インピーダンス抽出手段

117 電源配線インピーダンス情報

118 電源端子電圧計算手段

* 119 電源端子電圧情報

【図2】



【図7】

配線セグメントレコード

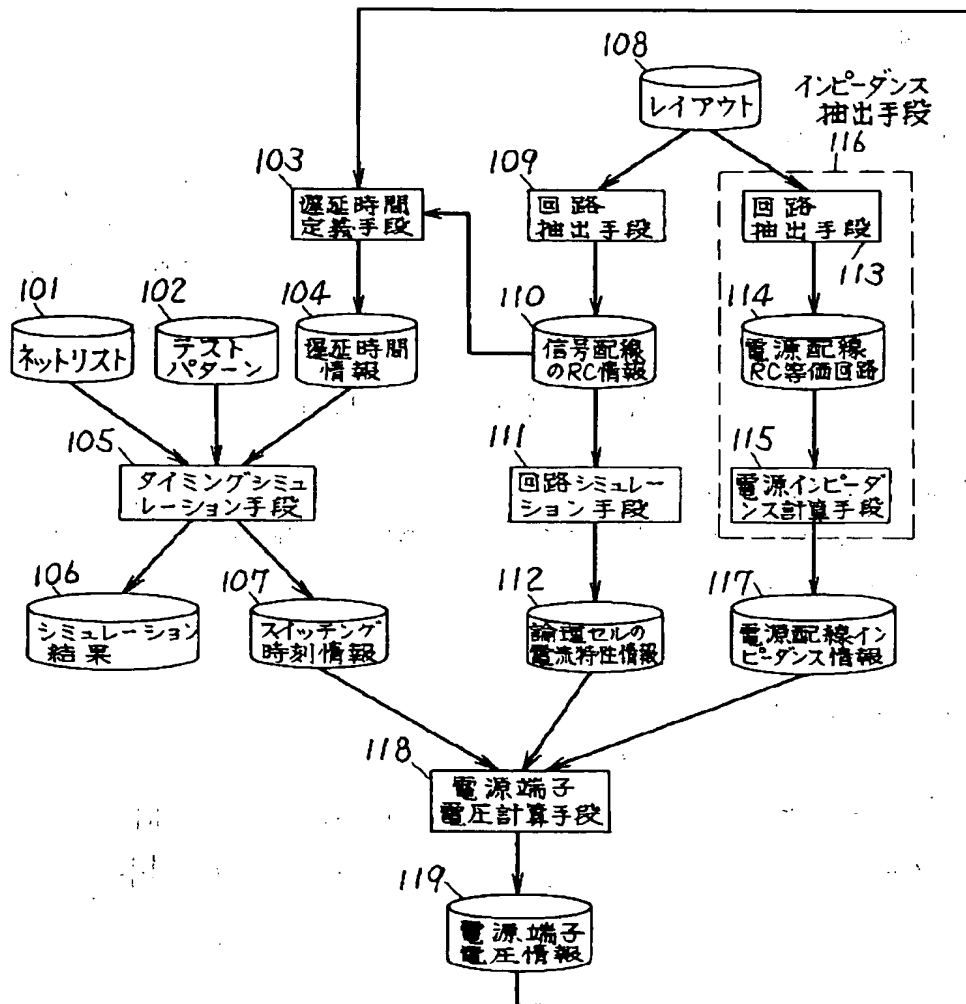
配線セグメントコード	電源端子電圧
------------	--------

【図8】

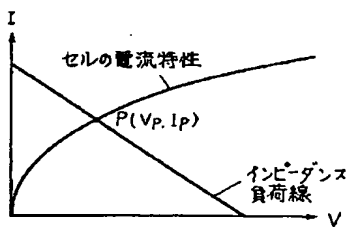
論理セルレコード

論理セルコード	セル種別コード	配線セグメントコード
---------	---------	------------

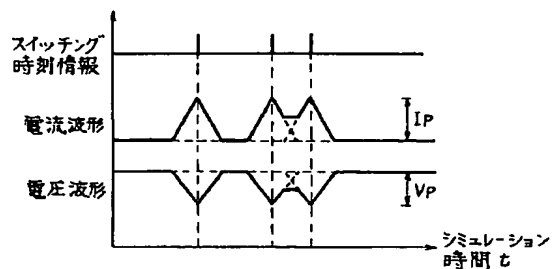
【図1】



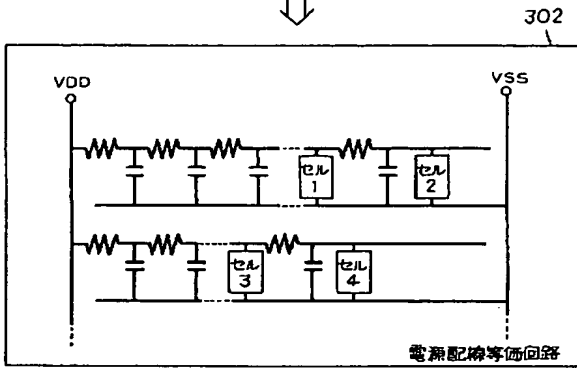
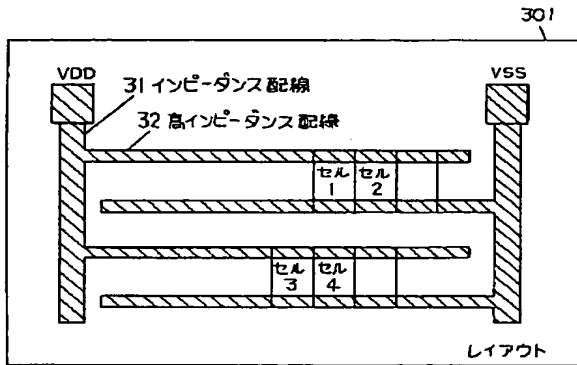
【図4】



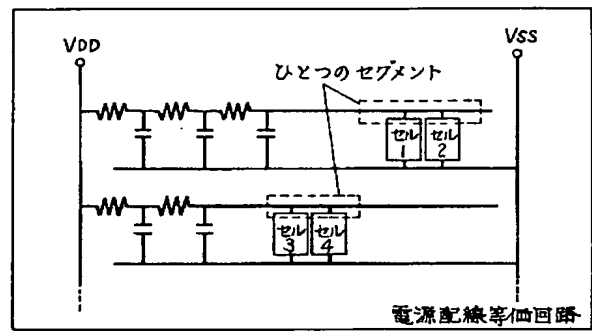
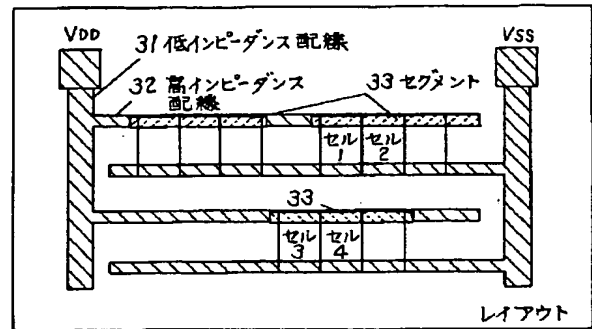
【図5】



【図3】



【図6】



【図9】

